

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JUN-HYUN CHUN

Art Group:

Application No.:

Examiner:

Filed:

For: **memory chip architecture having  
non-rectangular memory banks and  
method for arranging memory banks**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

---

REQUEST FOR PRIORITY

---

Sir:

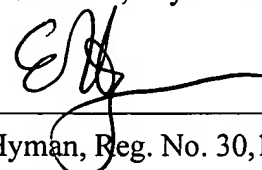
Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0019394	10 April 2002
Korea	10-2002-0019395	10 April 2002
Korea	10-2002-0019444	10 April 2002
Korea	10-2003-0018104	24 March 2003

☐ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor &amp; Zafman LLP

Dated: 10/8/09  
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



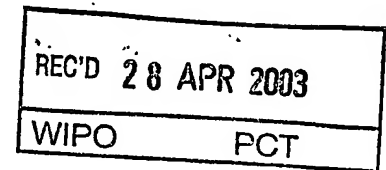
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0018104  
Application Number

출원 년 월 일 : 2003년 03월 24일  
Date of Application MAR 24, 2003

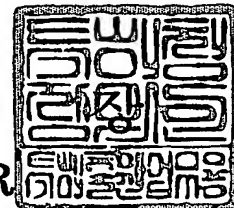
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 10 일

특 허 청

COMMISSIONER



ORIGINALITY DOCUMENT  
RECEIVED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.24
【발명의 명칭】	칩 상에서 평면적으로 비사각형의 메모리 뱅크를 갖는 반도체 메모리 장치
【발명의 영문명칭】	MEMORY DEVICE WITH NON-QUADRANGULAR MEMORY BANK
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	전준현
【성명의 영문표기】	CHUN, Jun Hyun
【주민등록번호】	660519-1812419
【우편번호】	361-300
【주소】	충청북도 청주시 흥덕구 봉명동 90-8 삼성아파트 5-304
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0019394
【출원일자】	2002.04.10
【증명서류】	첨부
【우선권주장】	
【출원국명】	KR
【출원종류】	특허

【출원번호】	10-2002-0019395
【출원일자】	2002.04.10
【증명서류】	첨부
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0019444
【출원일자】	2002.04.10
【증명서류】	첨부
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	22 면 22,000 원
【우선권주장료】	3 건 60,000 원
【심사청구료】	26 항 941,000 원
【합계】	1,052,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 하이 테크놀러지의 개발없이 보다 더 집적화된 메모리장치를 규격화된 패키지 사이즈내에 구현함으로써 저비용으로 고집적화를 가능하도록 하고, 또한, 고집적화를 위해 칩의 장축을 늘릴 필요가 없으므로 웨이퍼 당 취득 가능한 칩의 개수를 증대시켜 고효율적인 메모리장치를 제공하데 그 목적이 있는 것으로, 이를 위한 본 발명은, 칩의 전체 메모리 영역이 서로 독립적인 데이터 액세스가 가능한 복수의 뱅크로 구분되는 반도체 장치에 있어서, 상기 각 뱅크는 복수의 단위메모리블록으로 구성되는 메모리블록을 복수개 구비하되 서로 인접하는 적어도 두개의 상기 메모리블록은 서로 다른 개수의 단위메모리블록으로 구성되어, 상기 각 뱅크는 칩 상에서 평면적으로 비사각 형상을 갖는 것을 특징으로 한다.

## 【대표도】

도 3

## 【색인어】

메모리장치, 뱅크, 메모리블록, 어레이, 패드, 컨트롤블록, 비사각형

## 【명세서】

## 【발명의 명칭】

칩 상에서 평면적으로 비사각형의 메모리 뱅크를 갖는 반도체 메모리 장치{MEMORY DEVICE WITH NON-QUADRANGULAR MEMORY BANK}

## 【도면의 간단한 설명】

도 1은 통상적인 메모리 장치의 메모리블록의 어레이 구조를 보여주는 메모리 칩 평면도,

도 2는 규격화된 패키지 사이즈를 만족하지 못하는 종래의 메모리 장치의 문제점을 보여주는 평면도,

도 3은 본 발명의 제1실시예에 따른 반도체장치의 칩 평면도,

도 4a 및 도 4b는 종래기술과 본 발명의 제1실시예를 대비하기 위한 반도체메모리 장치의 칩 평면도.

도 5a 및 도 5b는 본 발명의 제1실시예의 다른 변형예를 보여주는 칩 평면도,

도 6은 본 발명의 제2실시예에 따른 반도체장치의 칩 평면도,

도 7은 본 발명의 제2실시예에 따른 반도체메모리장치가 규격화된 패키지 사이즈를 만족함을 보여주는 칩 평면도.

도 8a 및 도 8b는 본 발명의 제2실시예의 다른 변형예를 보여주는 칩 평면도,

도 9는 본 발명의 제3실시예에 따른 반도체장치의 칩 평면도,

도 10은 본 발명의 제3실시예에 따른 반도체메모리장치가 규격화된 패키지 사이즈를 만족함을 보여주는 의 칩 평면도.

도 11a 및 도 11b는 본 발명의 제3실시예의 다른 변형예를 보여주는 칩 평면도.

도 12는 도 6의 실시예 하에서 패드의 구성, 리드 프레임의 구성 및 와이어본딩의 관계를 보여주는 평면도,

도 13은 도 6의 실시예 하에서 데이터 배선의 배치 실시예를 보여주는 평면도.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 별도로 하이(high) 테크놀러지(technology) 디자인 룰을 적용 또는 개발하지 않고도 규격화된 패키지 사이즈 내에서 보다 고집적화된 소자를 설계 가능한 반도체 메모리 장치에 관한 것이다.

<15> 잘 알려진 바와 같은 동기식 메모리 장치는 독립적인 데이터 액세스가 가능한 다수의(특히 4개) 메모리 뱅크(Bank)로 이루어져 있으며, 각각의 메모리 뱅크는 다시 4개의 메모리 블록(Block)으로 분할되는 것이 통상적이다. 여기서 메모리 블록이라 함은 다수의 메모리 셀 어레이부와, 각 셀을 구동하기 위한 X-디코더부, Y-디코더 및 비트라인 센스앰프 어레이부를 포함하게 된다.

<16> 도 1은 통상적인 메모리 장치의 메모리 블록의 어레이 구조를 보여주는 것으로, 512Mbit 메모리를 일예로써 도시한 것이다.

<17> 도 1을 참조하면, 메모리 칩(10)은 정사각형 또는 직사형 영역을 갖는 16개의 메모리 블록(MB)을 포함하며, 4개의 메모리 블록이 하나의 뱅크를 이루게 된다. 도 1에서 4개의 메모리 뱅크(Bank\_0, Bank\_1, Bank\_2, Bank\_3)가 각기 칩 상에서 평면적으로 직사각형 또는 정사각형의 영역으로 구성되어 있다.

<18> 각 메모리블록은 32Mbit에 상응하는 다수의 단위셀로 구성되고, 8Mbit에 상응하는 단위 메모리 블록(UMB)이 4개 모여 구성되게 된다. 각 메모리 블록은 어느 하나의 메모리 셀을 선택하기 위하여 장축(X축) 및 단축(Y축)으로 X-디코더(X-decoder)와 Y-디코더(Y-decoder)를 하나씩 구비하게 된다.

<19> 메모리 칩에는 메모리 블록(MB) 이외에도 패드(12) 및 컨트롤 블록(14)을 배치하여야 하는 바, 종래기술에 따른 메모리 칩(10)에서는 도1에 도시된 바와 같이 칩의 장축(X축)을 가로 질러 칩 중앙에 패드(12) 및 컨트롤 블록(14)을 배치하고 있다. 잘 알려진 바와 같이 패드(12)에는 칩 외부와 신호를 교환하기 위한 와이어 본딩이 이루어지게 되며, 컨트롤 블록(14)에는 칩 외부에서 인가되는 제어신호 및 어드레스 신호를 처리하여 메모리 셀의 데이터를 입출력하게끔 하는 다양한 기능의 회로들이 구성되게 된다.

<20> 한편, 상기한 바와 같이 종래의 메모리 칩은 직사각형 또는 정방형의 메모리 블록 및 메모리 뱅크를 가지게 되는 바, 이러한 구조의 메모리 블록 및 뱅크의 배치는 메모리가 점차 고집적화 되어가고 그에 따라 셀 사이즈가 증가하게 되면서 보다 하이 테크놀러지의 디자인 룰을 적용하지 않으면 통상적인 패키지 사이즈로는 패키지 제작이 어려워진다. 즉, 종래와 장축 및 단축 길이에 의한 동일한 칩(chip) 면적에서 종래보다 더 고집적화된 소자를 설계할 수 없다.



<21> 도 2는 이러한 문제점을 도시하고 있는 바, JEDEC(Joint Electron Device Engineering Council)에서 규정하고 있는 패키지 사이즈(즉, 칩의 장축 및 단축 길이) 내에 기존보다 집적화가 증대된(예컨대 256M에서 512M로 고집적화될 때) 16개의 메모리 블록(MB)을 배치함에 있어, 16개의 메모리 블록이 패키지 사이즈 내에 구현될 수 없음을 보여준다.

<22> 따라서, 규격화된 패키지 내에 상술한 종래기술에 따른 배치 방법으로 칩을 구현하기 위해서는 하이 테크놀러지의 디자인 룰을 필요로 하게 된다. 그러나, 하이 테크놀러지의 개발을 위해서는 많은 비용 및 시간이 소비되게 되고, 이는 적시에 고집적화 메모리 칩을 제공하여야 하는 메모리 제조 회사의 입장에서 큰 문제점이 아닐 수 없다.

<23> 또한, 웨이퍼당 취득 가능한 칩의 개수는 칩의 장축 및 단축 비율에 따라 달라진다. 즉, 장축과 단축의 비가 1:1 일때 웨이퍼당 취득 가능한 칩의 개수는 가장 많이 되는 바, 도 1에 도시된 종래의 구조는 장축/단축의 비율이 크기 때문에 효율적이지 못하다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 하이 테크놀러지의 개발없이 보다 더 집적화된 메모리장치를 규격화된 패키지 사이즈내에 구현함으로써 저비용으로 고집적화가 가능한 메모리장치를 제공하데 그 목적이 있다.

<25> 또한 본 발명의 다른 목적은 하이 테크놀러지의 개발없이도 고집적화소자의 구현이 가능하고, 이러한 메모리 칩의 넷 다이(웨이퍼당 취득 가능한 칩 개수)를 증대시킴으로써 고효율적인 메모리장치를 제공하는데 있다.

### 【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위하여 본 발명은, 칩의 전체 메모리 영역이 서로 독립적인 데이터 액세스가 가능한 복수의 뱅크로 구분되는 반도체 장치에 있어서, 상기 각 뱅크는 복수의 단위메모리블록으로 구성되는 메모리블록을 복수개 구비하되 서로 인접하는 적어도 두개의 상기 메모리블록은 서로 다른 개수의 단위메모리블록으로 구성되어, 상기 각 뱅크는 칩 상에서 평면적으로 비사각 형상을 갖는 것을 특징으로 하며, 이때 칩의 단축 방향에서 서로 이웃하는 뱅크들 사이의 빈 공간에 패드 및 컨트롤블록이 배치된다.

<27> 또한 본 발명은 칩의 전체 메모리 영역이 서로 독립적인 데이터 액세스가 가능한 복수의 뱅크로 구분되는 반도체 장치에 있어서, 평면적으로 칩의 단축을 3등분하고 칩의 장축을 6등분하여 균등하게 분할된 3행×6열의 18개의 영역에 각각 배치된 18개의 메모리 블록들; 2행×4열의 영역, 2행×2열 및 2행×8열의 영역 중에서 선택된 어느한 영역과, 1행×4열의 영역, 1행×2열의 영역 및 1행×8열의 영역에 각기 대응하는 메모리블록들로 이루어진 제1뱅크; 상기 제1뱅크를 구성하지 않는 영역 중에서 2행×4열의 영역, 2행×2열 및 2행×8열의 영역 중에서 선택된 어느한 영역과, 3행×4열의 영역, 3행×2열의 영역 및 3행×8열의 영역에 각기 대응하는 메모리블록들로 이루어진 제2뱅크; 2행×4열의 영역, 2행×6열 및 2행×6열의 영역 중에서 선택된 어느한 영역과, 1행×4열의 영역, 1행×6열의 영역 및 1행×6열의 영역에 각기 대응하는 메모리블록들로 이루어진 제3뱅크; 상기 제3뱅크

를 구성하지 않는 영역 중에서 2행 4열의 영역, 2행 6열 및 2행 8열의 영역 중에서 선택된 어느한 영역과, 3행 4열의 영역, 3행 6열의 영역 및 3행 8열의 영역에 각각 대응하는 메모리블록들로 이루어진 제4뱅크; 및 상기 제1 내지 제4 뱅크를 구성하지 않는 2행 4열의 영역, 2행 6열, 2행 8열의 영역, 2행 4열의 영역, 2행 6열 및 2행 8열의 영역 중에서 선택된 적어도 어느한 영역에 구성되는 패드 및 컨트롤 블록을 포함하는 것을 특징으로 한다.

<28> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<29> 이하에서 설명되는 본 발명의 실시예들은 512Mbit DDR SDRAM을 예로써 설명한 것으로서, 본 발명은 512Mbit DDR SDRAM에 한정되지 않으며, 알려진 모든 DRAM 등의 메모리 소자에 적용 가능하다.

<30> (제1실시예)

<31> 도 3은 본 발명의 제1실시예에 따른 512Mbit DDR SDRAM의 칩 상에서의 평면적 구성을 보여준다.

<32> 도 3을 참조하면, 본 발명의 제1실시예에 따른 메모리장치는 12개의 메모리 블록(MB\_0 내지 MB\_11)으로 구성되며, 각 메모리 블록은 하나의 메모리 셀을 선택하기 위하여 장축(X축) 및 단축(Y축)으로 X-디코더(X-decoder)와 Y-디코더(Y-decoder)를 하나씩 구비하게 된다.

- <33> 그리고, 본 실시예에 따른 메모리장치는 3개의 메모리 블록(MB)이 하나의 뱅크를 구성하게되어, 각기 독립적으로 데이터 입출력이 가능한 4개의 메모리 뱅크(Bank\_0, Bank\_1, Bank\_2, Bank\_3)로 구성된다.
- <34> 하나의 뱅크(Bank\_0)를 이루는 3개의 메모리 블록(MB\_0 내지 MB\_2)을 각각 살펴보면, 제1메모리블록(MB\_0)은 8Mbit 메모리 셀을 갖는 단위 메모리 블록(UMB)을 6개 포함하고 있어 48Mbit를 이루고 있다. 제2 및 제3 메모리블록(MB\_1, MB\_2)는 각기 5개의 단위 메모리 블록(UMB)으로 구성되어 40Mbit를 이루게 된다. 나머지 3개의 뱅크(Bank\_1, Bank\_2, Bank\_3)도 동일한 구성을 가지고 있다.
- <35> 따라서, 각 메모리 뱅크(Bank\_0, Bank\_1, Bank\_2, Bank\_3)는 칩 상에서 평면적으로 직사각형 또는 정방형이 아닌 비사각형의 형태를 가지게 된다.
- <36> 한편, 각 뱅크에서 48MBit 메모리 블록(MB\_0, MB\_3, MB\_8, MB\_11)은 X-디코더(X-Decoder)가 연속되는 6개의 단위 메모리 블록(UMB)들중에서 다섯번째 및 6번째의 단위메모리블록 사이에 형성되어 있는 바, 이는 이웃하는 40Mbit 메모리 블록의 X-디코더와 그 설계를 유사하게 가져가기 위한 것이다. 즉, 48MBit 메모리 블록(MB\_0, MB\_3, MB\_8, MB\_11) 내에 존재하는 X-디코더(X-Decoder)는 48MBit 메모리 블록을 구동함에 있어서, X-디코더의 최종 구동단이 두개로 구분되어 하나의 구동단은 40MBit 메모리 블록(5개의 단위메모리블록)을 구동하고 다른 하나의 구동단은 8MBit 단위메모리블록을 구동하게끔 구성된다.
- <37> 본 실시예와 다르게 48MBit 메모리 블록(MB\_0, MB\_3, MB\_8, MB\_11) 내에 존재하는 X-디코더(X-Decoder)는 어느 곳에 위치하여도 무방하다.

- <38> 도 3에서 평면적으로 뱅크(Bank\_0)가 2사분면에 배치되어 있고, 뱅크(Bank\_1)이 3사분면에 배치되어 있다. 뱅크(Bank\_2)는 1사분면에 배치되어 있고, 뱅크(Bank\_3)이 4사분면에 배치되어 있다. 뱅크 Bank\_0의 48Mbit 메모리 블록(MB\_0)과 뱅크 Bank\_1의 48Mbit 메모리 블록(MB\_4)은 각 뱅크의 영역에서 최 좌측에 배치되어 있고, 뱅크 Bank\_2의 48Mbit 메모리 블록(MB\_8)과 뱅크 Bank\_4의 48Mbit 메모리 블록(MB\_11)은 각 뱅크의 영역에서 최 우측에 배치되어 있다.
- <39> 칩의 단축(y축)에서 서로 이웃하고 있는 48Mbit 메모리 블록 MB\_0 및 MB\_3 또는 MB\_8 및 MB\_11의 사이에는 컨트롤블록이 배치될 정도의 공간이 제공되지 않으나, 칩의 단축(y축)에서 서로 이웃하고 있는 40Mbit 메모리 블록들 간에는 충분한 공간이 제공되기에 이 공간에 컨트롤 블록(140)이 배치된다.
- <40> 패드(120) 역시 칩의 단축(y축)에서 서로 이웃하고 있는 40Mbit 메모리 블록들 간에 형성된다. 즉, 패드(120) 및 컨트롤 블록(140)은 칩의 장축(X축)을 가로 질러 칩 중앙에 배치되되, 칩의 X축을 6등분하였을 때, 2/6 지점에서부터 5/6까지의 영역에 배치된다.
- <41> 그리고 패드는 본 실시예의 도면과 다르게 칩의 단축(y축)에서 서로 이웃하고 있는 40Mbit 메모리 블록들 사이 뿐만 아니라 칩의 단축(y축)에서 서로 이웃하고 있는 48Mbit 메모리 블록 MB\_0 및 MB\_3 또는 MB\_8 및 MB\_11의 사이까지도 확장되어 형성될 수 있다.
- <42> 도 4a 내지 도 4b는 종래기술과 본 실시예를 대비하기 위한 것으로서, 동일 테크놀러지를 적용하는 경우, 종래기술(도 4a)의 설계하에서는 규격화된 패키지 사이즈를 만족

하지 못하지만, 본 실시예(도 4b)의 경우 규격화된 패키지 사이즈를 만족하고 있음을 알 수 있다.

<43> 또한 도 4a에 따른 종래의 설계 방법(메모리 어레이 블록 및 패드/컨트롤블록의 배치)을 사용하려면 패키지를 위하여 칩의 장축(X축)을 늘여야 하나, 이는 칩의 장축/단축 비율을 증대시켜 웨이퍼당 취득 가능한 칩의 개수를 떨어뜨리게 되므로 비효율적이다. 반면에 도 4b에 도시된 본 실시예의 설계에 따르면 칩의 장축/단축 비율을 감소시켜 웨이퍼당 취득 가능한 칩의 개수를 증대시킬 수 있다.

<44> 도 5a 및 도 5b는 본 발명의 제1실시예의 다른 변형예를 보여주는 것으로, 도 5a는 48Mbit 메모리 블록(MB)을 전체 칩의 중앙에 배치하는 경우를 도시한 것이고, 도 5b는 48Mbit 메모리 블록(MB)을 각 뱅크 영역의 중앙에 배치하는 경우를 도시한 것으로, 도 5a 및 도 5b의 경우에는 패드 및 컨트롤블록(PAD & Control Block)이 2개 영역 또는 3개 영역으로 나뉘어 배치되게 되지만, 규격화된 패키지 사이즈를 모두 만족하고 있다. 또한 웨이퍼당 취득 가능한 칩의 개수를 종래에 대비하여 증대시킬 수 있다.

<45> (제2실시예)

<46> 도 6은 본 발명의 제2실시예에 따른 512Mbit DDR.SDRAM의 칩 상에서의 평면적 구성을 보여준다.

<47> 도 6을 참조하면, 본 발명의 제2실시예에 따른 메모리장치는 칩의 단축(Y축)을 3등분하고 장축(X축)을 6등분하여, 실질적으로 균등하게 3행×6열의 18개 영역으로 분할된다.

- <48> 단축의 가운데 영역인 2행의 6개중에서 2행 1열의 영역 (2,1) 및 2행 3열의 영역 (2,3)는 각기 칩의 단축(Y축)에서 상, 하 두 개영역으로 분할되어 상측 영역들 (2a,1a), (2a, 3a)은 영역 (1,1), (1,2) 및 (1,3)과 더불어 제1 메모리 뱅크(Bank\_0)를 구성하고 있다. 그리고 분할된 나머지 하측 영역들 (2b,1b), (2b, 3b)은 영역 (3,1), (3,2) 및 (3,3)와 더불어 제2 메모리 뱅크(Bank\_1)를 구성하고 있다. 그리고 영역 (2,2)에는 제1 및 제2 메모리 뱅크(Bank\_0, Bank\_1)를 구동하기 위한 제1컨트롤블록이 배치되어 있다.
- <49> 따라서, 제1 및 제2 메모리 뱅크(Bank\_0, Bank\_1)는 종래와는 다르게 칩·상에서 평면적으로 비 사각형 형태를 가지게 된다.
- <50> 제3 및 제4 메모리 뱅크(Bank\_2, Bank\_3)도 동일한 구성을 갖는 바, 영역 (2,4), (2,6)는 각기 두 개영역으로 분할되어 상측 영역들 (2a,4a), (2a, 6a)은 영역 (1,4), (1,5) 및 (1,6)과 더불어 제3 메모리 뱅크(Bank\_2)를 구성하고 있다. 그리고 나머지 하측 영역들 (2b,4b), (2b,6b)은 영역 (3,4), (3,5) 및 (3,6)와 더불어 제4 메모리 뱅크(Bank\_3)를 구성하고 있다. 그리고 영역 (2,5)에는 제3 및 제4 메모리 뱅크(Bank\_2, Bank\_3)를 구동하기 위한 제2컨트롤블록이 배치되어 있다.
- <51> 제1 메모리 뱅크(Bank\_0)는 영역 (1,1) 및 (2a,1a)에 배치된 48Mbit의 제1메모리블록과, 영역 (1,2)에 배치된 32Mbit의 제2메모리블록과, 영역 (1,3) 및 (2a,3a)에 배치된 48Mbit의 제3메모리블록으로 구성된다. 영역 (1,1)에는 4개의 8Mbit 단위메모리블록(UMB)이 배치되고, 영역(2a,1a)에는 2개의 8Mbit 단위메모리블록이 배치된다. 제2 내지 제3 메모리 뱅크((Bank\_1, Bank\_2, Bank\_3)로 유사한 구성이므로 이의 설명을 생략한다.

- <52> 결국, 본 발명의 반도체 메모리 장치는 48Mbit 메모리 블록(MB) 2개와 32Mbit 메모리 블록 1개가 하나의 메모리 뱅크를 구성하고 있어, 이들로 구성된 메모리 뱅크는 비사각형의 형상을 하고 있다.
- <53> 그리고, 이에 따라 하이 테크놀러지의 개발 없이도, 즉 디자인 룰을 증대시키지 않고도 제한된 패키지 사이즈를 만족하게 된다. 도 7은 도 4a의 종래기술과 대비되어 동일 테크놀러지 하에서 본 발명의 제2실시예를 적용하는 경우 규격화된 패키지 사이즈를 만족하고 있음을 보여주고 있으며, 또한 종래에 대비하여 칩의 장축을 늘릴 필요가 없으므로 웨이퍼당 취득 가능한 칩의 개수를 증대시킬 수 있다.
- <54> 한편, 각 메모리 블록들은 X-디코더(X-decoder)와 Y-디코더(Y-decoder)를 구비하게 되고, 48Mbit 메모리블록에 구비된 X-디코더는 이웃하는 32Mbit 메모리블록과 그 설계를 유사하게 가져가기 위하여 최종 구동단이 2개로 나뉜다.
- <55> 즉, 각 뱅크에서 48MBit 메모리 블록들은 X-디코더가 연속되는 6개의 단위 메모리 블록(UMB)들중에서 4번째 및 5번째의 단위메모리블록 사이에 형성되어 있는 바, 이는 이웃하는 32Mbit 메모리 블록의 X-디코더와 그 설계를 유사하게 가져가기 위한 것이다. 즉, 48MBit 메모리 블록들 내에 존재하는 X-디코더는 48MBit 메모리 블록을 구동함에 있어서, X-디코더의 최종 구동단이 두개로 구분되어 하나의 구동단은 32MBit 메모리 블록(4개의 단위메모리블록)을 구동하고 다른 하나의 구동단은 16MBit 단위메모리블록을 구동하게끔 구성된다.
- <56> 다수의 패드(PAD)는 칩의 장축을 가로질러 제1 메모리 뱅크와 제2 메모리 뱅크 사이 및 제3 메모리뱅크와 제4 메모리뱅크 사이의 여분 공간에 배열되어 있다.



<57> 도 8a 및 도8b는 본 발명의 제2실시예에서의 다른 변형예를 보여주는 것이다. 도 8a에 도시된 구조는 도 7과 다르게 영역 (2,1)에 제1 컨트롤블록이 배치되고, 영역 (2,6)에 제2컨트롤블록이 배치되며, 나머지영역에는 메모리블록들이 배치된다. 도 8b에 도시된 구조는 도 7과 다르게 영역 (2,3)과 (2,4)에 컨트롤블록이 배치되며, 나머지영역에는 메모리블록들이 배치된다.

<58> 도 8a 및 도8b에 따른 구조 역시 제1 내지 제4 메모리 뱅크(Bank\_0, Bank\_1, Bank\_2, Bank\_3)는 비사각형 형상을 하고 있으며, 이 경우에도 규격화된 패키지 사이즈를 만족하게 되고, 소자를 보다 더 고집적화시키면서도 저집적화 소자에 비해 칩의 장축을 늘리지 않아도 된다.

<59> (제3실시예)

<60> 도 9는 본 발명의 제3실시예에 따른 512Mbit DDR SDRAM의 칩 상에서의 평면적 구성을 보여준다.

<61> 도 9를 참조하면, 본 발명의 제3실시예에 따른 메모리장치는 칩의 단축(Y축)을 3등분하고 장축(X축)을 실질적으로 6등분하여, 실질적으로 균등하게 3행×6열의 18개 영역으로 분할된다. 18개의 영역중에서 16개의 영역에는 각기 메모리 블록(MB)이 배치되고, 인접하는 4개씩의 메모리 블록이 하나의 뱅크를 구성하여 4개의 뱅크로 구성되게 된다. 18개의 영역중에서 나머지 2개의 영역에는 제1 및 제2컨트롤 블록이 배치된다.

<62> 영역 (1,1), (1,2) (1,3) 및 (2,1)에는 8Mbit 단위 메모리 블록(UMB) 4개로 구성된 32Mbit 메모리블록(MB)이 각기 배치되어 제1 메모리 뱅크(Bank\_0)를 구성하게 된다.

따라서, 32MBit 메모리블록(MB)은 각기 사각형의 형태를 가지나 4개의 메모리 블록으로 구성되는 제1 메모리 뱅크(Bank\_0)는 종래와 다르게 비사각형의 형상을 가지게 된다.

<63> 영역 (2,3); (3,1) (3,2) 및 (3,3)에도 역시 8Mbit 단위 메모리 블록(UMB) 4개로 구성된 32MBit 메모리블록(MB)이 배치되어 제2 메모리 뱅크(Bank\_1)를 구성하게 된다. 따라서, 32MBit 메모리블록(MB)은 각기 사각형의 형태를 가지나 제2 메모리 뱅크(Bank\_1)는 종래와 다르게 비사각형의 형상을 가지게 된다.

<64> 제1 메모리 뱅크(Bank\_0)와 제2 메모리 뱅크(Bank\_1)로 둘러싸이는 영역 (2,2)에는 제1 컨트롤블록이 배치된다.

<65> 제3 메모리 뱅크(Bank\_2)와 제4 메모리 뱅크(Bank\_3)도 마찬가지로 구성이고, 영역 (2,5)에는 제2 컨트롤블록이 배치된다.

<66> 그리고, 각 메모리 블록들은 장축(X축) 및 단축(Y축)으로 X-디코더(X-decoder)와 Y-디코더(Y-decoder)를 구비하게 되고, 동일한 뱅크내에서 상,하에서 상호 인접한 32Mbit 메모리블록들 사이에는 X-디코더(X-decoder)가 위치하여 상호 공유하게 된다.

<67> 다수의 패드(PAD)는 칩의 중앙 부분을 가로질러 제1 메모리 뱅크(Bank\_0)와 제2 메모리 뱅크(Bank\_1) 사이 및 제3메모리뱅크(Bank\_2)와 제4메모리뱅크(Bank\_3) 사이의 여분 공간에 배열되어 있다.

<68> 결국, 본 발명의 반도체 메모리 장치는 4개의 32Mbit 메모리 블록(MB)이 하나의 뱅크를 이루지만, 각 뱅크는 그 형상이 비사각형의 형상을 가지고 있으며, 이에 따라 하이 테크놀러지의 개발 없이도, 즉 디자인 룰을 증대시키지 않고 제한된 패키지 사이즈를 만족하게 된다. 도 10은 도 4a의 종래기술과 대비되어 동일 테크놀러지 하에서 본 발

명의 제3실시예를 적용하는 경우 규격화된 패키지 사이즈를 만족하고 있음을 보여주고 있다.

<69> 도 11a 및 도 11b는 본 발명의 제3실시예에서의 다른 변형예를 보여주는 것으로, 도 11a의 구조에서는 도 9와 다르게 영역 (2,1) 및 (2,6)에 컨트롤블록이 배치되며, 나머지 16개의 영역에는 메모리블록들이 배치된다. 도 11b의 구조에서는 (2,3) 및 (2,4)에 컨트롤블록이 배치되며, 나머지 16개의 영역에는 메모리블록들이 배치된다.

<70> 이때에도 역시 제1 내지 제4 메모리 뱅크(Bank\_0, Bank\_1, Bank\_2, Bank\_3)는 비사각형 형상을 하고 있으며, 이 경우에도 역시 규격화된 패키지 사이즈를 만족하게 되며, 고집적화를 위하여 칩의 장축을 늘릴 필요가 없다.

<71> 이상에서 설명한 바와 같이, 본 발명은 칩상에 메모리블록과, 컨트롤블록 및 패드를 배치함에 있어서, 다수의 메모리블록으로 구현되는 뱅크를 정형화된 사각형태를 벗어나 비 사각형 형태로 구현함으로써, 규격화된 패키지 사이즈내에 하이 테크놀러지의 개발없이 고집적화 메모리의 구현을 가능하게 하여 준다.

<72> 이상에서 설명한 바와 같은 구조하에서 실시 가능한 패드의 배치와, 전원 배선 및 데이터 배선의 배치에 대해서 살펴보도록 한다.

<73> 도 12는 도 6의 실시예 하에서 전원 리드프레임의 구성과 이에 와이어 본딩되는 패드와의 관계를 보여주는 평면도이다.

<74> 도면부호 1a, 1b 및 1c는 VSS용 리드프레임, 2a, 2b 및 2c는 VDD용 리드프레임, 3은 패드, 4는 와이어를 각각 나타낸다.

<75> 통상적으로 SDRAM의 경우 VDD와 VSS는 3쌍의 패키지 핀(Pin)을 갖게 되는데, 본 실시예에서는 도 12에 도시된 바와 같이 칩의 좌, 우측 및 중앙에서 전원의 리드프레임을 구성한다. 그리고, 칩의 중앙부분에 구성되는 전원의 리드프레임 1b, 2b을 구성함에 있어서, 칩의 장측변에서 단측 방향으로 확장시킨 다음 다시 메모리블록의 상부에서 장측 방향으로 확장시켜 VDD 및 VSS가 각각 3개의 패드와 와이어 본딩되도록 구성된다. 이에 의해 도 6의 영역 (2a,3a)와 영역 (2a,3a)의 사이 공간 및 영역 (2a,4a)와 영역(2a,4a) 사이의 공간에 리드프레임용 전원 버스를 형성할 필요가 없다. 물론 도 3 및 도 9의 실시예 하에서도 상기한 전원 리드프레임의 구조가 적용 가능하다.

<76> 한편 칩의 웨이퍼 레벨로 구성되는 전원배선은 칩의 메모리블록 영역 상부에서 평면적으로 메쉬 형태로 구성하고, 전원배선 또는 신호배선을 Y-디코더의 출력배선 사이사이에 배치 구성하면, 각 메모리블록의 도 6의 제1컨트롤블록과 제2컨트롤블록간에 전원 및 신호 배선을 연결할 수 있다. 이에 따라 도 6의 영역 (2a,3a)와 영역 (2a,3a)의 사이 공간 및 영역 (2a,4a)와 영역(2a,4a) 사이에 전원배선 및 신호배선을 배치하지 않아도 되므로 패드 및 컨트롤블록의 공간을 좁힐 수 있다.

<77> 도 13은 도 6의 실시예 하에서 데이터 배선의 배치 실시예를 보여주는 평면도이다. 통상적으로, 메모리어레이의 데이터배선은 Y-디코더에 배치된 2차 센스앰프까지의 배선이며, 각 메모리 뱅크별 데이터배선은 글로벌 데이터배선으로 합쳐진다. 이때 각 메모리어레이로부터 데이터 출력까지의 배선 지연차를 완화 시키기 위해, 도 13에 도시된 바와 같이 메모리 뱅크의 좌측 데이터배선(7a)은 데이터 패드중에서 좌측에 위치한 데이터 패드(3a)에 연결하고, 우측 데이터배선(7b)은 우측에 위치한 데이터 패드(3b)에 연결한다.

<78> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**【발명의 효과】**

<79> 본 발명의 메모리 장치는 칩상에서 평면적으로 비사각형의 구조를 갖는 메모리 뱅크를 가짐으로써, 규격화된 패키지 사이즈내에서 하이 테크놀러지의 개발없이 고집적화의 구현을 가능하게 하여 준다. 결국 본 발명을 적용하는 경우 저비용으로 고집적화의 메모리를 제공할 수 있다.

<80> 또한 본 발명의 메모리 장치는 고집적화를 위하여 칩의 장축을 늘릴 필요가 없으므로, 칩의 장축/단축 비율을 감소시켜 웨이퍼 당 취득 가능한 칩의 개수를 늘릴 수 있다.

<81> 또한 본 발명의 메모리 장치는 뱅크 당 X-디코더의 개수를 줄일 수 있어 칩 전체면적에서 X-디코더가 차지하는 면적을 줄일 수 있다.

**【특허청구범위】****【청구항 1】**

칩의 전체 메모리 영역이 서로 독립적인 데이터 액세스가 가능한 복수의 뱅크로 구분되는 반도체 장치에 있어서,

상기 각 뱅크는 복수의 단위메모리블록으로 구성되는 메모리블록을 복수개 구비하되 서로 인접하는 적어도 두개의 상기 메모리블록은 서로 다른 개수의 단위메모리블록으로 구성되어, 상기 각 뱅크는 칩 상에서 평면적으로 비사각 형상을 갖는 것을 특징으로 하는 반도체 장치.

**【청구항 2】**

제1항에 있어서,

칩의 단축 방향에서 서로 이웃하는 뱅크들 사이의 빈 공간에 배치된 패드 및 컨트롤블록을 더 포함하는 반도체 장치.

**【청구항 3】**

제1항에 있어서,

상기 각 메모리블록은 한쌍의 X-디코더 및 Y-디코더를 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 4】**

제1항에 있어서,

상기 메모리 뱅크는 홀수개의 메모리블록으로 구성되는 것을 특징으로 하는 반도체 장치.

**【청구항 5】**

제1항에 있어서,

상기 뱅크는 평면적으로 칩의 1사분면, 2사분면, 3사분면 및 4사분면에 각기 하나씩의 형성되어, 칩의 전체 메모리영역은 4개의 뱅크로 구분되는 것을 특징으로 하는 반도체 장치.

**【청구항 6】**

제5항에 있어서,

상기 각 뱅크는,

제1개수의 단위메모리블록으로 이루어진 제1메모리블록;

상기 제1개수보다 적은 제2개수의 단위메모리블록으로 이루어진 제2메모리블록;

및

상기 제2개수의 단위메모리블록으로 이루어진 제3메모리블록

을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 7】**

제6항에 있어서,

상기 2사분면 및 상기 3사분면에 위치한 각 बैं크의 상기 제1메모리블록은 칩의 최좌측에 배치되고, 상기 1사분면 및 상기 4사분면에 위치한 각 बैं크의 상기 제1메모리블록은 칩의 최우측에 배치되는 것을 특징으로 하는 반도체 장치.

**【청구항 8】**

제6항에 있어서,

상기 1사분면, 2사분면, 3사분면 및 4사분면에 위치한 각 बैं크의 상기 제1메모리블록들은 칩의 전체영역에서 중앙 부분에 서로 인접하여 배치되는 것을 특징으로 하는 반도체 장치.

**【청구항 9】**

제6항에 있어서,

상기 1사분면, 2사분면, 3사분면 및 4사분면에 위치한 각 बैं크의 상기 제1메모리블록들은 각 बैं크의 중앙 부분에 배치되는 것을 특징으로 하는 반도체 장치.

**【청구항 10】**

제7항 내지 제9항 중 어느 한 항에 있어서,



칩의 단축방향에서 인접하는 서로 다른 बैं크의 상기 제2메모리블록들 사이의 공간에 배치된 패드 및 컨트롤블록을 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 11】

제10항에 있어서,

상기 패드는 칩의 단축방향에서 인접하는 서로 다른 बैं크의 상기 제1메모리블록들 사이의 공간까지 확장되어 배치된 것을 특징으로 하는 반도체 장치.

【청구항 12】

제6항에 있어서,

상기 제1, 제2 및 제3 메모리블록들은 각각 X-디코더와 Y-디코더를 한쌍씩 구비하고, 상기 제1메모리블록의 상기 X-디코더는 상기 제2 및 제3 메모리블록의 X-디코더와 유사한 설계를 가져가기 위하여 최종구동단이 두개로 구분된 것을 특징으로 하는 반도체 장치.

【청구항 13】

제6항에 있어서,

상기 제1메모리블록은 6개의 8비트의 단위메모리블록으로 구성되고, 상기 제2 및 제3 메모리블록은 5개의 8비트의 단위메모리블록으로 구성되는 것을 특징으로 하는 반도체 장치.

【청구항 14】

제5항에 있어서,

상기 각 뱅크는 제1개수의 단위메모리블록으로 이루어진 제1메모리블록;

상기 제1개수보다 적은 제2개수의 단위메모리블록으로 이루어진 제2메모리블록; 및

상기 제1개수의 단위메모리블록으로 이루어진 제3메모리블록

을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 15】

제14항에 있어서,

상기 2사분면 및 상기 3사분면에 위치한 각 뱅크의 상기 제2메모리블록은 칩의 최 좌측에 배치되고, 상기 1사분면 및 상기 4사분면에 위치한 각 뱅크의 상기 제1메모리블록은 칩의 최우측에 배치되는 것을 특징으로 하는 반도체 장치.

【청구항 16】

제14항에 있어서,

상기 1사분면, 2사분면, 3사분면 및 4사분면에 위치한 각 बैं크의 상기 제2메모리블록들은 칩의 전체영역에서 중앙 부분에 서로 인접하여 배치되는 것을 특징으로 하는 반도체 장치.

【청구항 17】

제14항에 있어서,

상기 1사분면, 2사분면, 3사분면 및 4사분면에 위치한 각 बैं크의 상기 제2메모리블록들은 각 बैं크의 중앙 부분에 배치되는 것을 특징으로 하는 반도체 장치.

【청구항 18】

제15항 내지 제17항 중 어느 한 항에 있어서,

칩의 단축방향에서 인접하는 서로 다른 बैं크의 상기 제2메모리블록들 사이의 공간에 배치된 패드 및 컨트롤블록을 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 19】

제18항에 있어서,

상기 패드는 칩의 단축방향에서 인접하는 서로 다른 बैं크의 상기 제1메모리블록들 또는 제3메모리블록들 사이의 공간까지 확장되어 배치된 것을 특징으로 하는 반도체 장치.

## 【청구항 20】

제14항에 있어서,

상기 제1, 제2 및 제3 메모리블록들은 각각 X-디코더와 Y-디코더를 한쌍씩 구비하고, 상기 제1 및 제3 메모리블록의 상기 X-디코더는 상기 제2메모리블록의 X-디코더와 유사한 설계를 가져가기 위하여 최종구동단이 두개로 구분된 것을 특징으로 하는 반도체 장치.

## 【청구항 21】

제14항에 있어서,

상기 제1 및 제3 메모리블록은 6개의 8비트의 단위메모리블록으로 구성되고, 상기 제2메모리블록은 4개의 8비트의 단위메모리블록으로 구성되는 것을 특징으로 하는 반도체 장치.

## 【청구항 22】

칩의 전체 메모리 영역이 서로 독립적인 데이터 액세스가 가능한 복수의 뱅크로 구분되는 반도체 장치에 있어서,

평면적으로 칩의 단축을 3등분하고 칩의 장축을 6등분하여 균등하게 분할된 3행×6열의 18개의 영역에 각각 배치된 18개의 메모리블록들;

2행 x1열의 영역, 2행 x2열 및 2행 x8열의 영역 중에서 선택된 어느한 영역과, 1행 x1열의 영역, 1행 x2열의 영역 및 1행 x8열의 영역에 각기 대응하는 메모리블록들로 이루어진 제1뱅크;

상기 제1뱅크를 구성하지 않는 영역 중에서 2행 x1열의 영역, 2행 x2열 및 2행 x8열의 영역 중에서 선택된 어느한 영역과, 3행 x1열의 영역, 3행 x2열의 영역 및 3행 x8열의 영역에 각기 대응하는 메모리블록들로 이루어진 제2뱅크;

2행 x4열의 영역, 2행 x6열 및 2행 x6열의 영역 중에서 선택된 어느한 영역과, 1행 x4열의 영역, 1행 x6열의 영역 및 1행 x6열의 영역에 각기 대응하는 메모리블록들로 이루어진 제3뱅크;

상기 제3뱅크를 구성하지 않는 영역 중에서 2행 x4열의 영역, 2행 x6열 및 2행 x6열의 영역 중에서 선택된 어느한 영역과, 3행 x4열의 영역, 3행 x6열의 영역 및 3행 x6열의 영역에 각기 대응하는 메모리블록들로 이루어진 제4뱅크; 및

상기 제1 내지 제4 뱅크를 구성하지 않는 2행 x1열의 영역, 2행 x2열, 2행 x8열의 영역, 2행 x4열의 영역, 2행 x6열 및 2행 x6열의 영역 중에서 선택된 적어도 어느한 영역에 구성되는 패드 및 컨트롤 블록

을 포함하는 반도체 메모리 장치.

#### 【청구항 23】

제22항에 있어서,

동일 बैं크 내에서 상하 인접하는 상기 메모리블록들은 그 사이에 X-디코더를 구비하여 상호 공유하는 것을 특징으로 하는 반도체 장치.

【청구항 24】

제22항에 있어서,

상기 패드는 상기 제1뱅크와 상기 제2뱅크(Bank\_1)의 사이 및 제3뱅크와 제4뱅크 사이의 공간에 배치된 것을 특징으로 하는 반도체 장치.

【청구항 25】

반도체메모리장치의 메모리블록 어레이 방법에 있어서,

서로 인접하는 복수의 단위메모리블록으로 메모리블록을 구성하고, 서로 인접하는 복수의 상기 메모리블록으로 बैं크를 구성하되,

상기 बैं크가 칩상에서 평면적으로 비사각 형상을 갖도록, 동일 बैं크내에서 서로 인접하는 적어도 두개의 메모리블록들을 서로 다른 개수의 단위메모리블록으로 구성하는 것을 특징으로 하는 반도체메모리장치의 메모리블록 어레이 방법.

【청구항 26】

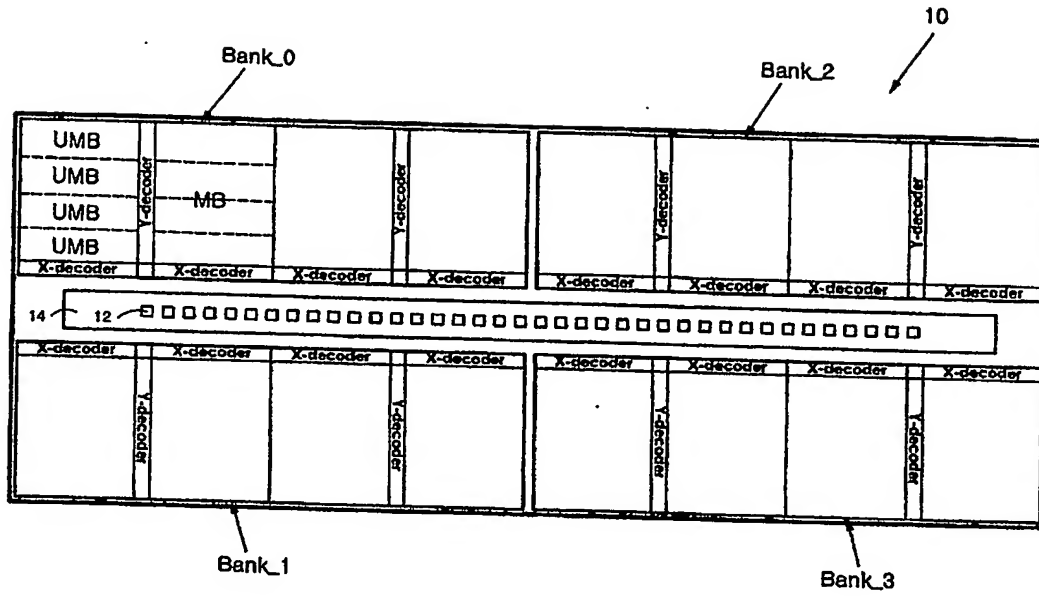
제25항에 있어서,

칩의 단축 상에서 서로 인접하는 बैं크들 사이에 패드/컨트롤블록을 배치하되, 상대적으로 적은 개수의 상기 단위메모리블록들로 구성된 상기 메모리블록들 사이의 공간에

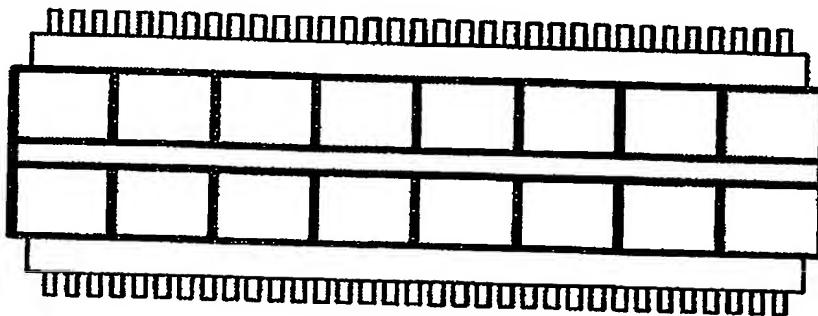
상기 패드/컨트롤 블록을 배치하는 것을 특징으로 하는 반도체메모리장치의 메모리블록 어레이 방법.

【도면】

【도 1】

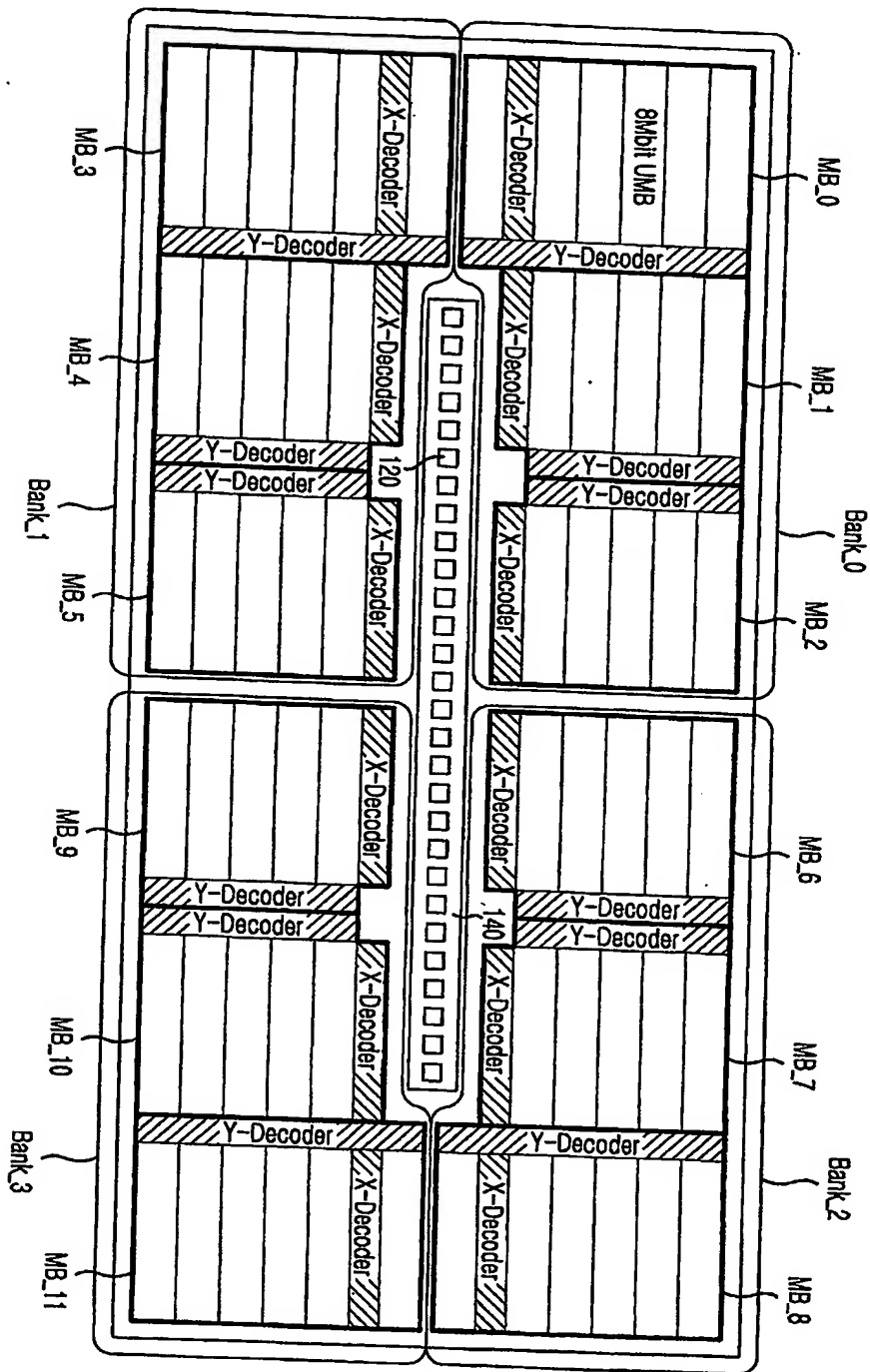


【도 2】

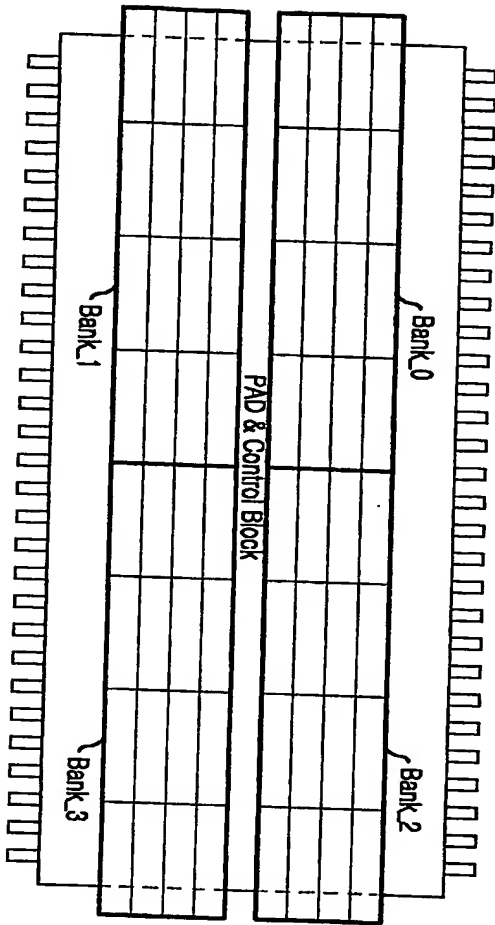




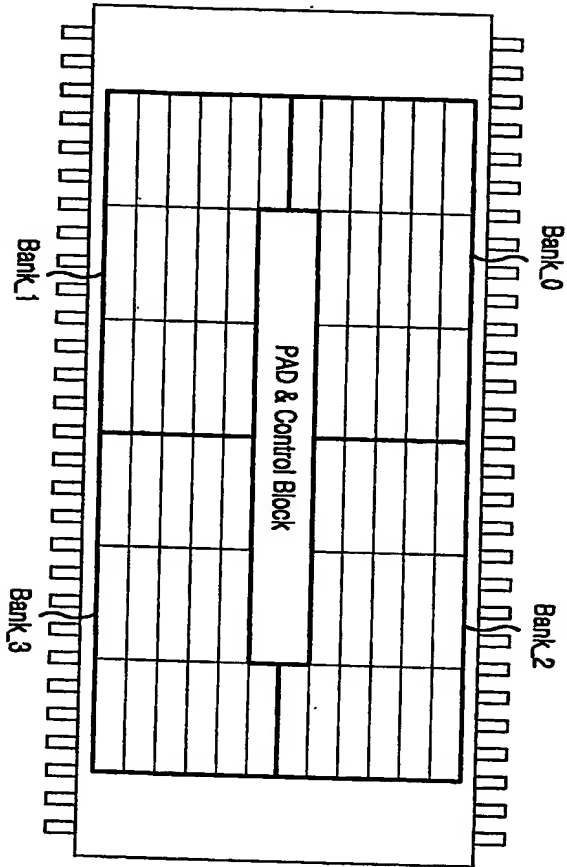
【도 3】



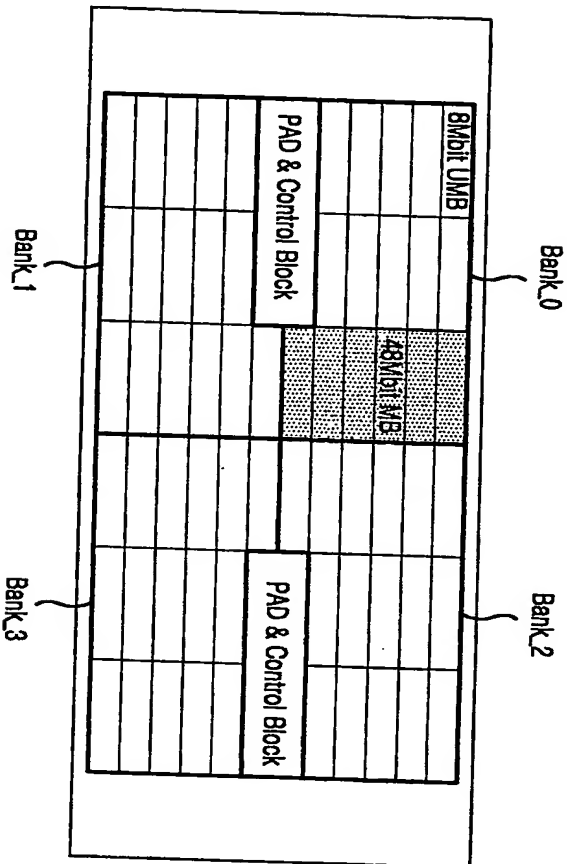
【도 4a】



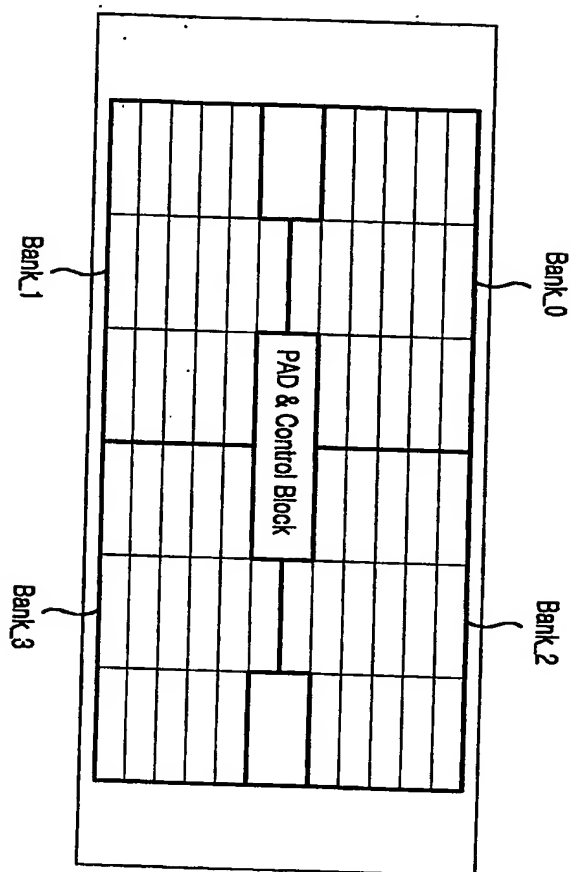
【도 4b】



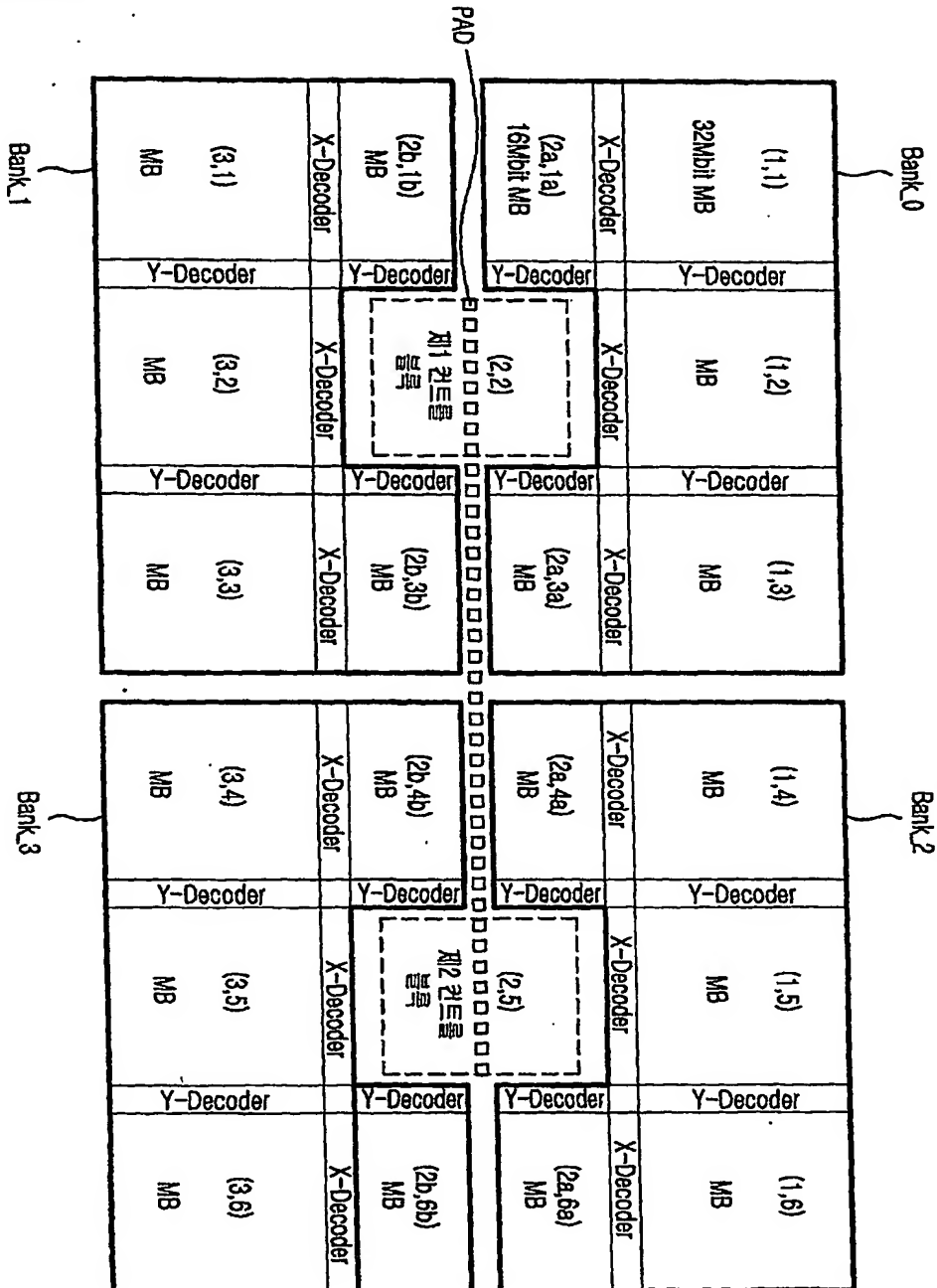
【도 5a】



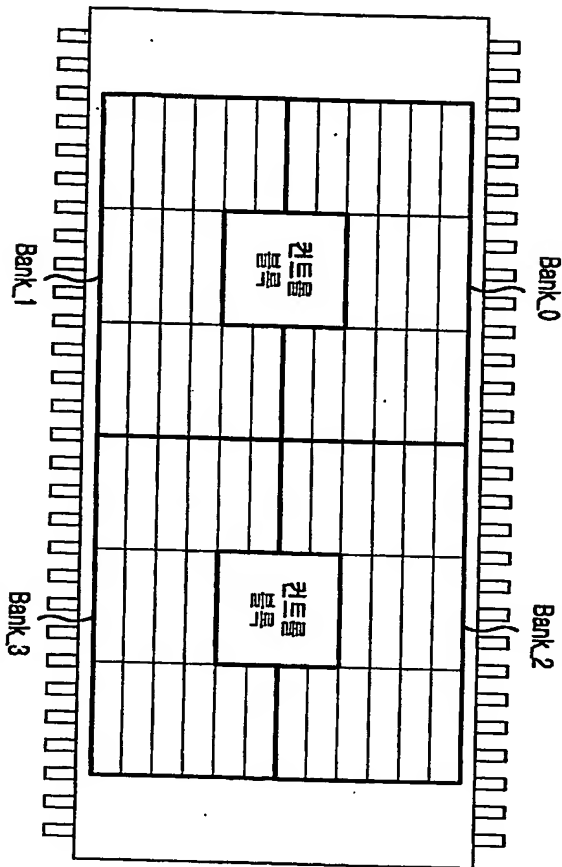
【도 5b】



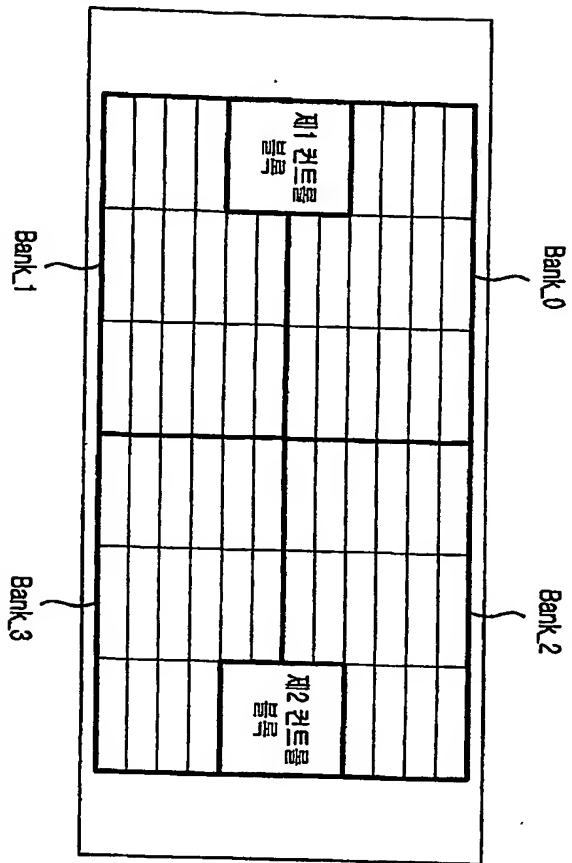
【도 6】



【도 7】

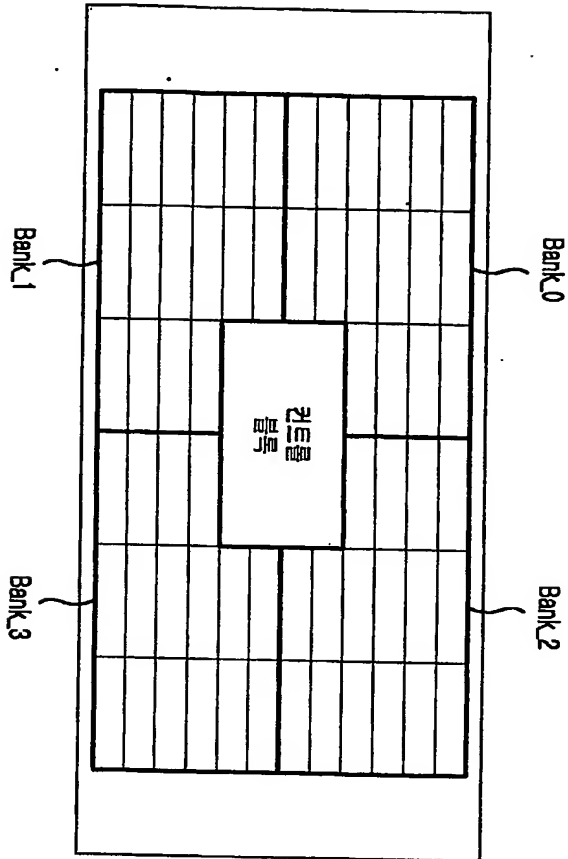


【도 8a】

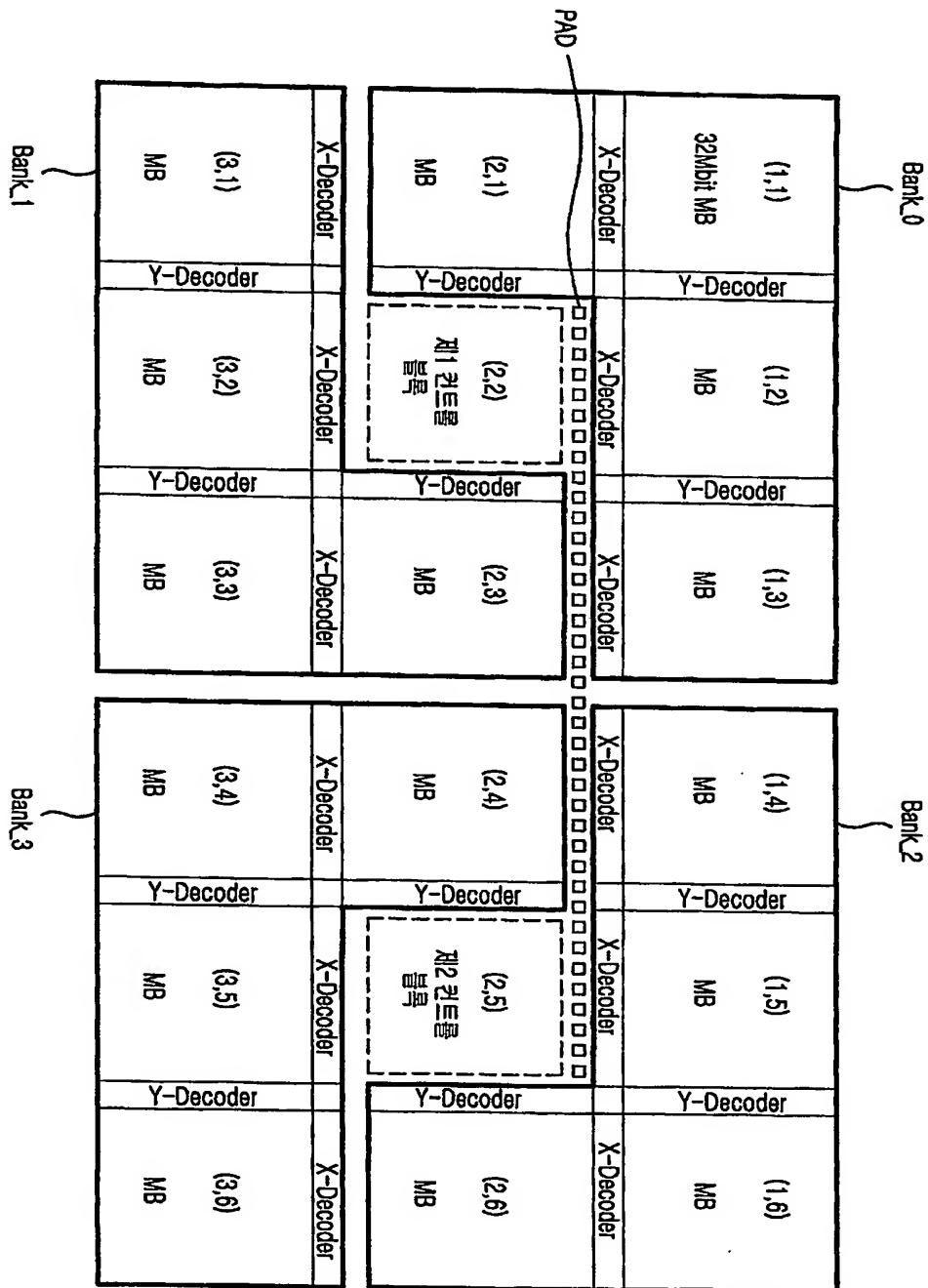




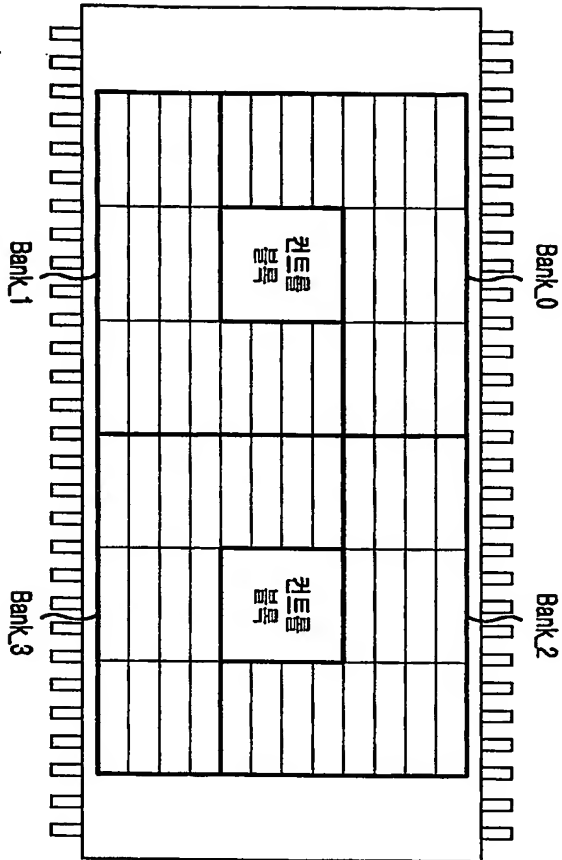
【도 8b】



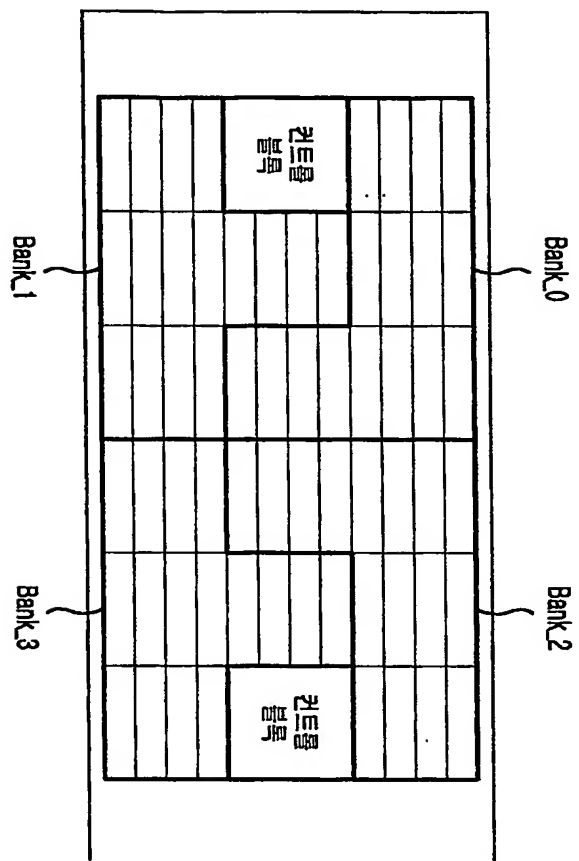
【도 9】



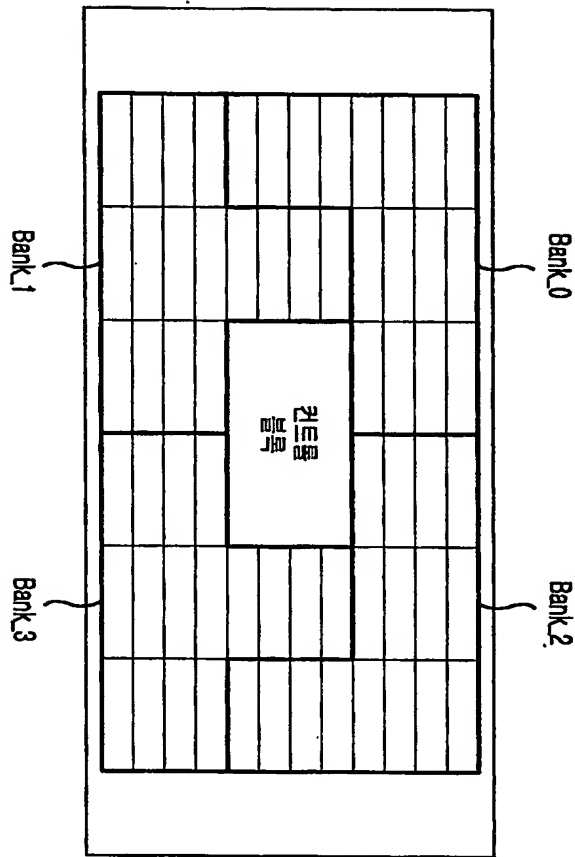
【도 10】



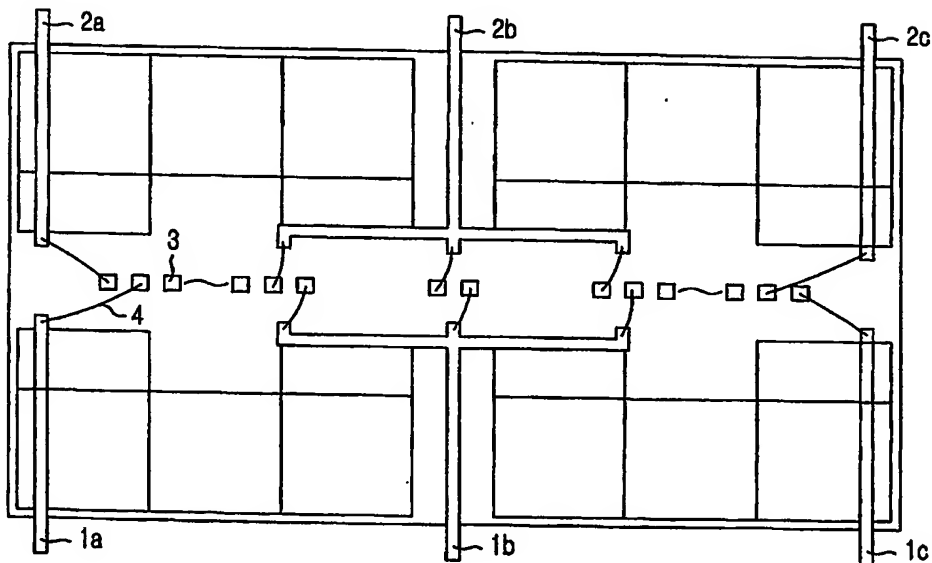
【도 11a】



【도 11b】



【도 12】





【도 13】

